

メモリスタを用いた可変論理回路の構成

Construction of Variable Logic Circuits with Memristors

大槻 正伸

福島工業高等専門学校電気工学科

Masanobu Ohtsuki

Fukushima National College of Technology, Department of Electrical Engineering

(2013年9月17日受理)

The memristor is said to be the 4-th fundamental passive circuit element which follows R (Resistor), L (Inductor), and C (Capacitor), and in 1971 it was pointed out by L.O.Chua that such elements should exist.

It has been found in 2008 by HP researchers, which varies its resistance value when current flows through it, and when we stop to apply the voltage, it keeps the resistance value at that time.

In this paper we propose a way how to construct variable logic circuits with memristors, that is, the logic circuits which vary its functions by varying the resistances of memristors in them.

Key words: memristor, logic circuits, variable logic circuit

1. はじめに

「メモリスタ (memristor)」とは、「(電圧をかけ)電流を流すことによりその抵抗値が変化し、電流を流すのをやめると、やめた時点での抵抗値を記憶しておく」という性質をもつ電気回路素子である^{1),8)-12)}。

メモリスタは Leon Chua が、 R 、 L 、 C に続く第4の電気回路の基本素子 M としてその存在を 1971 年に予言したが、その後実際に存在するかどうか分らなかったものである¹⁾。

しかし 2008 年に、HP (ヒューレットパッカード) 社の研究者 Stanley Williams らが、ナノメートルスケールのシステムで実際にメモリスタを構成し、それが現実に存在することを示した^{8) 10)}。また、パナソニック社の研究者らは、ヒューレットパッカード社とは全く異なるアプローチでメモリスタを実現した¹¹⁾。

現在ではメモリスタを含む電気回路の動作解析シミュレーションを行う方法に関する研究⁴⁾⁵⁾、高集積度不揮発性メモリ等の実現に応用する試み⁶⁾⁷⁾、メモリスタをニューロンの擬似装置として用いて、機械学習に応用する試み等について研究されはじめている¹²⁾。

本論文では、メモリスタを用いて「可変論理回路」および「可変論理回路システム」を構成する方法を提案する。

コンピュータのハードウェアは、その名の通り硬いものであり、一度製作してしまうと、変更しようがないのが普通である。したがって、その設計には細心の注意を払い、動作シミュレーション等により回路動作の確認を行い、そうして製作する。しかしその上で製作後に設計不良等が見つかった場合は、設計、製作し直しとなる。

このような事情を考えると、製作後もその機能が変更可能なハードウェアが作れば非常に有用である。

今回は、メモリスタを用いて、ハードウェア製作後も、機能制御用メモリスタの抵抗値を変化させることにより、計算されるBoole関数の変更が可能な、組み合わせ論理回路の構成を行う。

2. メモリスタの基本機能

ここで、メモリスタの機能について述べる。

今回本論文で扱うメモリスタは、次に説明する分かりやすいモデルのものとする。より一般的な「メモリスタタイプシステム(下記(1)(2)式が拡張されたシステム)」については文献 8), 9), 10)等に説明されているのでここでは省略する。

ここで扱うものは「Coupled variable-resistor model」とよばれヒューレットパッカード社が開発したメモリスタの数学モデルである⁸⁾。

まずこのモデルでは、メモリスタは低抵抗の *Doped* 領域(*Doped Domain*)と高抵抗の *Undoped* 領域(*Undoped Domain*)の2つの領域からなる、長さ D (一定)の素子であり、状態変数は *Doped* 領域の長さ $w(t)$ のみである。*Doped* 領域の、長さ D あたりの抵抗値は R_{on} 、*Undoped* 領域の D あたりの抵抗値は R_{off} であり ($R_{on} \ll R_{off}$)、このメモリスタはこれらが直列に接続された構造をもつ。状態変数、すなわち *Doped* 領域の長さ $w(t)$ は時間とともに変化する。

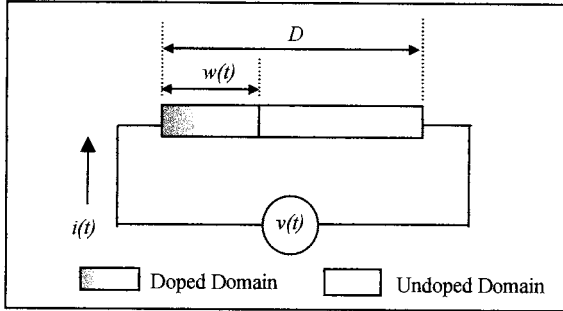


Fig.1 The coupled variable-resistor model

この素子の動作の方程式は下記のとおりである。

$$v(t) = \left\{ \frac{w(t)}{D} R_{on} + \frac{D-w(t)}{D} R_{off} \right\} i(t) \quad \text{--- (1)}$$

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{on}}{D} i(t) \quad \text{--- (2)}$$

ここで μ_v は、電子の移動度であり材料特有の定数となる。*Doped* 領域の長さ $w(t)$ が状態と考えられ、状態 $w(t)$ により、メモリスタ全体の抵抗値が決まる ((1)式)。また *Doped* 領域は電流値 $i(t)$ によりその「成長 (あるいは縮小) する速度」が決まる ((2)式)。

このような素子は、電流が正方向 (Fig.1 で左から右に流れる方向) に流れれば、(2)式より *Doped* 領域が大きくなり全体の抵抗は小さくなるし、また逆方向に電流が流れると $w(t)$ が小さくなるから素子全体の抵抗値は大きくなる。

なお、 $w(t)$ は、 $0 \leq w(t) \leq D$ の間で変化し、正の方向に電流が流れ $w(t)=D$ (あるいは逆方向に流れ $w(t)=0$)になってもそれまでと同じ方向に電流が流れた場合、 $w(t)$ は D (あるいは 0) のまま一定となる。すなわち、 $w(t)$ が「飽和」したら、メモリスタの抵抗値は (飽和させた電流方向に電流が流れていれば) 変化せず、抵抗と同じ働きをする。実際にWilliamsらが開発したメモリスタの長さ D は $D=10$ [nm]程度ということであり、実際に文献8)では、 $R_{off}/R_{on}=160$ 、 $\mu_v=10^{-10}$ [cm²/sV]と報告されており、メ

ムリスタ1個の動作解析例が紹介されている。以下本論文ではいくつか定数を決定しなくてはならないが、一例として $R_{on}=100$ [Ω]とし、その他はすべてこの文献8)の定数を元に算出することとする。

3. メムリスタを用いた可変論理回路の構成

3.1 基本ユニット

まず次のスイッチSW-AとSW-Bを用意する。SW-Aはシーケンス制御の用語でいうと、NO(Normally Open)のスイッチであり、SW-Bは3点スイッチである (Fig.2)。これらのスイッチは、電子回路的にはトランジスタを用いて構成できるが、ここでは分かりやすく単にスイッチ要素として表記することとする。

これらのスイッチの機能は、SW-Aはスイッチのコントロール信号SCが“0”のときは開 (Open) となり、SCが“1”のときには閉 (Close) となるスイッチである。SW-BはSCが“0”のときはC-Bが接続状態になり、SCが“1”のときにはC-Aが接続状態になるスイッチである。

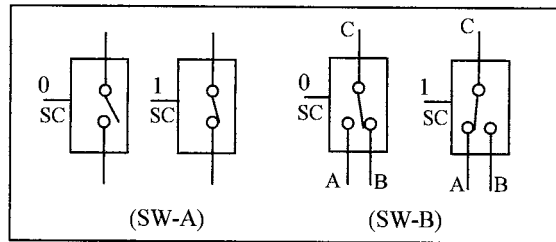


Fig.2 The Switch Elements(SW-A,SW-B)

次にメモリスタを1個含みメモリスタの電流方向制御をする基本ユニット (Basic Unit-BU) を考える (Fig.3)。

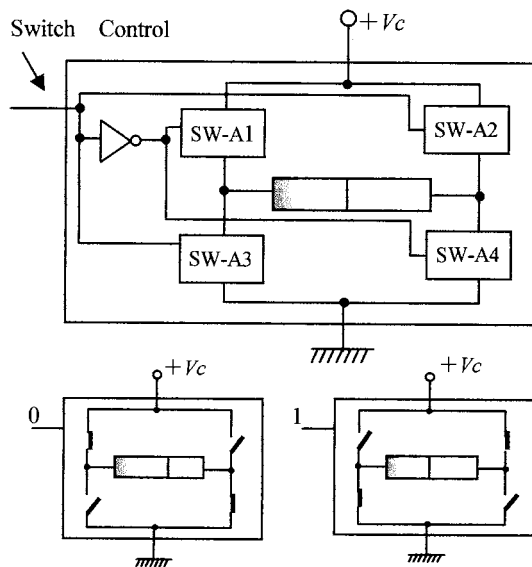


Fig.3 The Basic Unit (BU)

これは、BUのスイッチコントロール信号 (Switch Control) により、スイッチのSw-A1とSw-A4、またはSw-A2とSw-A3を連動して開または閉にし、メモリスタにかかる電圧の方向 (流れる電流の方向) を制御するものである。

3.2 基本可変論理回路

前記BUを用いてFig.4の基本可変論理回路(Basic Variable Logic Circuit—BVLC)を構成する。

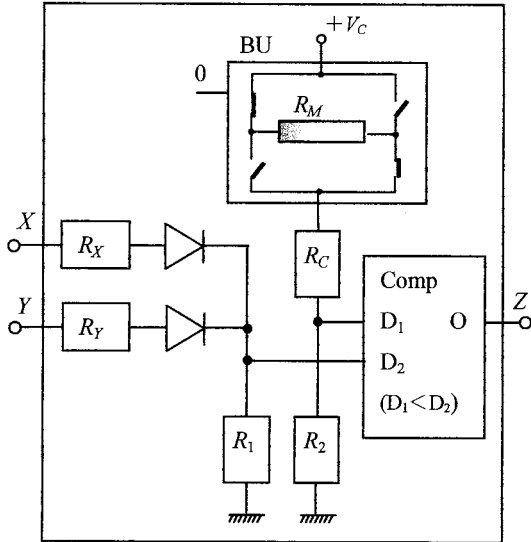


Fig.4 The Basic Variable Logic Circuit (BVLC)

ここで、 V_C は論理回路の基準電圧とし、5[V]を標準とする。回路全体に対する入力はXとY、出力はZである。X、Y、Zは“0”、“1”の2値信号、すなわち、0[V]または V_C [V]とする。

R_X 、 R_Y 、 R_1 、 R_2 、 R_C は設計者がその抵抗値を決めることができる抵抗であり、Comp($D_1 < D_2$)は、 D_1 、 D_2 端子の電圧 V_{D1} と V_{D2} を比較し $V_{D1} < V_{D2}$ のとき“1”を、そうでないとき“0”を出力するコンパレータである (コンパレータも電子回路的にはOPアンプを用いて構成するが、今回はわかりやすくFig.4の記号を使用しておく)。

そして、BUのメモリスタは、Switch Control信号を“0”にして飽和させた状態、またはSwitch Control信号を“1”として飽和させた状態のどちらかで使用することとする (Fig.4はSwitch Control信号を“0”にして飽和させた状態である)。すなわち、メモリスタの抵抗値を R_M とすると、 $R_M = R_{on}$ または $R_M = R_{off}$ として使うものとする。

そうすると、コンパレータに入る電圧は、

$$V_{D1} = \frac{V_C R_2}{R_M + R_C + R_2} \quad (3)$$

となる。

また、 V_{D2} は

$$(X=0, Y=0 \text{ の場合}) \quad V_{D2} = 0 \quad (4)$$

($X=0, Y=1$ の場合、 $X=1, Y=0$ の場合はそれぞれ)

$$V_{D2} = \frac{V_C R_1}{R_Y + R_1}, \quad V_{D2} = \frac{V_C R_1}{R_X + R_1} \quad (5)$$

$$(X=1, Y=1 \text{ の場合}) \quad V_{D2} = \frac{V_C R_1}{R_{XY} + R_1} \quad (6)$$

$$\text{ここで、} \quad R_{XY} = \frac{R_X R_Y}{R_X + R_Y} \quad (7)$$

である。以後簡単のため、 $R_X = R_Y = kR_1$ としておく。

そうすると、

$$(X=0, Y=0 \text{ の場合}) \quad V_{D2} = 0 \quad (再掲 4)$$

($X=0, Y=1$ の場合、 $X=1, Y=0$ の場合)

$$V_{D2} = \frac{V_C}{k+1} \quad (5')$$

$$(X=1, Y=1 \text{ の場合}) \quad V_{D2} = \frac{2V_C}{k+2} \quad (6')$$

となる。ここで(6')と(5')の差を最大にするため、 $k = \sqrt{2}$ とすると、

$$(X=0, Y=0 \text{ の場合}) \quad V_{D2} = 0 \quad (再掲 4)$$

($X=0, Y=1$ の場合、 $X=1, Y=0$ の場合)

$$V_{D2} = \frac{V_C}{\sqrt{2}+1} \doteq 0.414V_C \doteq 2.07[\text{V}] \quad (5'')$$

($X=1, Y=1$ の場合)

$$V_{D2} = \frac{V_C}{\sqrt{2}+2} \doteq 0.586V_C \doteq 2.93[\text{V}] \quad (6'')$$

となる。

次に V_{D1} について考える。(3)より

$$V_{D1} = \frac{V_C R_2}{R_M + R_C + R_2} = \frac{V_C}{1 + \frac{R_C + R_M}{R_2}} \quad (3')$$

であるが、 $R_M = R_{on} = 100[\Omega]$ または $R_M = R_{off} = 16[\text{k}\Omega]$

($\rightarrow 2$ 節)とし、 $R_C = 900[\Omega]$ 、 R_2 を1[k Ω]と選ぶと、 $V_{D1} = 0.50V_C = 2.50[\text{V}]$ ($R_M = R_{on} = 100[\Omega]$ のとき)

$V_{D1} \doteq 0.056V_C \doteq 0.28[\text{V}]$ ($R_M = R_{off} = 16[\text{k}\Omega]$ のとき)

以上により、次のようにして、4種類の2入力論理回路が実現できることがわかる。

【A】 $R_M = R_{on} = 100[\Omega]$ の場合

回路全体の出力Zは

($X=0, Y=0$ の場合) $Z=0$

($X=0, Y=1$ の場合、 $X=1, Y=0$ の場合) $Z=0$

($X=1, Y=1$ の場合) $Z=1$

となり、これはAND回路になる。

【B】 $R_M = R_{on} = 16 [k\Omega]$ の場合

回路全体の出力Zは

($X=0, Y=0$ の場合) $Z=0$

($X=0, Y=1$ の場合、 $X=1, Y=0$ の場合) $Z=1$

($X=1, Y=1$ の場合) $Z=1$

となり、これはOR回路になる。

【C】 $R_M = R_{on} = 100[\Omega]$ で、 D_1 と D_2 への入力配線を交換した場合

この場合は【A】の論理の否定となるから、NAND回路になる。

【D】 $R_M = R_{on} = 16 [k\Omega]$ で D_1 と D_2 への入力配線を交換した場合

この場合は、【B】の否定で、NOR回路になる。

以上の議論で明らかになったようにFig.4の型の回路で、メモリスタの抵抗値を変えることにより、4種類の基本的な2入力論理回路が実現できることがわかる。

実際にこの考え方で、可変論理回路を実現する場合、0.28[V]、2.07[V]、2.50[V]、2.93[V]の比較が正確に行われるためには、もう少し余裕幅があった方が回路実現が楽になると考えられる。この場合は必要に応じて、基本電圧(V_C)を、この可変論理回路部分のみ、例えば10[V]に上げる等の調整をするなどの対策が考えられる。

4. 可変論理回路システムの構築

4.1 2入力可変論理回路システム

以下で、前節3.2で構成した基本可変論理回路

(BVLC)を用いた可変論理回路システムを構成する。

まず、次の拡張可変論理回路 (EVLC—Fig.5) を考える。これは次のような特徴のある回路である。

(特徴1) 初めに回路の機能をAND,OR,NAND,NOR回路のどれかに設定ができる。

(特徴2) 電源を切った場合その時点での論理回路の機能を保持し、次回は、電源を入れるだけで記憶した(電源OFF時の)論理回路の機能を持つようになる。

(特徴3) ある機能に設定した後、いつでもまたAND, OR,NAND,NOR回路に設定変更が可能である。

Fig.5の拡張可変論理回路 (EVLC)について簡単に説明する。入力端子はX,Y、出力端子はZである。

そして、 $Z = X \cdot Y$ (AND)、 $Z = X + Y$ (OR)、

$Z = \overline{X \cdot Y}$ (NAND)、 $Z = \overline{X + Y}$ (NOR) のいずれかに設定可能である。

この、X,YからZを計算する部分は基本的にはBVLCの

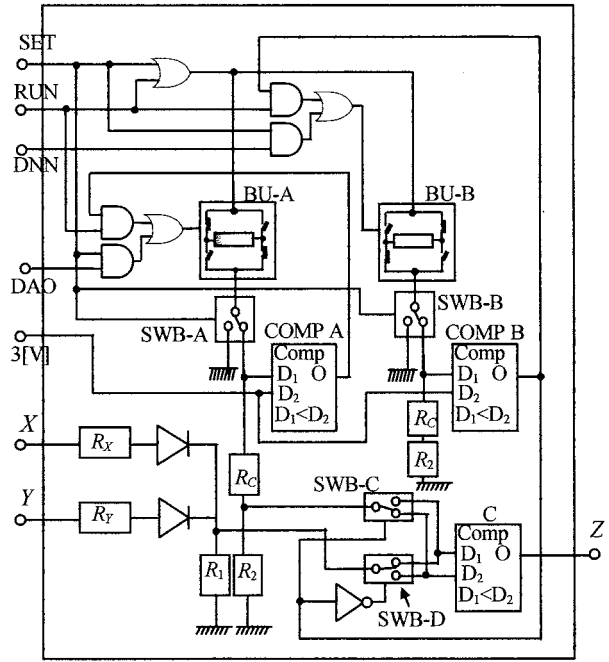


Fig.5 The Extended Variable Logic Circuit (EVLC)
(2-Inputs Variable Logic Circuit System)

構造となっていて、BU-Aの状態により、AND回路

(BU-A内のメモリスタの抵抗 R_M が R_{on} の場合)かOR回路(同 R_{off} の場合)になる。ただしSWB-C、SWB-Dの切り換えにより、AND、ORのままかその否定のNAND回路、NOR回路になる。BU-B内のメモリスタの抵抗 R_M が R_{on} の場合ANDかORに、 R_{off} の場合NANDかNORになる。

まとめると、BU内のメモリスタの抵抗値 R_M は、 R_{on} または R_{off} のどちらかで使うが、 R_{on} の場合を”0”、 R_{off} の場合を”1”とすると、(BU-A,BU-B)の状態が、(0,0)のときAND回路、(0,1)のときNAND回路、(1,0)のときOR回路、(1,1)のときNOR回路となる。コンパレータCOMP BはBU-Bの状態を計測し、”0”、”1”を出力してSWB-C、SWB-Dの切り換えを行っている(→3.2【C】【D】)。

外部信号DAO (Date for AND/OR)、DNN (Data for NAND/NOR)がそれぞれBU-A,BU-Bに”0”または”1”を設定するためのデータである。BU-A、BU-BにDAO,DNNで指示されるデータの設定は外部信号SETを一定時間(0.17[s])”1”にすることで実現される。

設定動作のタイムチャートをFig.6に示す。これは、BU-Aに”1”を、BU-Bに”0”を設定し、回路全体をOR回路に設定する場合の例である。RUN信号は、回路全体を論理回路として通常動作することを指示する信号のため、設定する場合は”0”とし、SET信号のみを一定時間(0.17[s]以上程度)”1”とする。このSET信号の必要時間

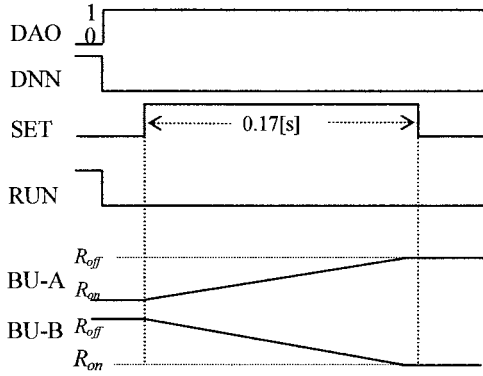


Fig.6 The Time Chart of Setting BU-A, BU-B

の算出については文献5),6), 8)参照。

以上のようにして回路の機能を設定した後、SET信号を”0”に、RUN信号を”1”にすると回路は設定した機能の回路として動作する。なぜなら、RUN信号が”1”になったら即コンパレータA,BがBU-A、BU-Bの内容(“0” ($R_M=R_{on}$)、”1” ($R_M=R_{off}$))を計測し、計測結果により、BU-A、BU-Bの電流方向制御を正しく行い、また、SWB-A、SWB-BもSET信号が”0”であることにより正しくスイッチングし基本可変論理回路が構成されるからである。

4.2 多入力可変論理回路システム

4.1のEVLCは2入力で、その機能が設定可能な可変論理回路であった。ここではEVLCを用いて、多入力の可変論理回路 (MVLC) を構成する。Fig.7のMVLCシステムは、4入力の可変論理回路システムである。これは入力が(X_1, X_2, X_3, X_4)で、出力がZの可変論理回路で、 $Z=f_0(f_1(X_1, X_2), f_1(X_3, X_4))$ を計算するが、 f_0, f_1, f_2 はそれぞれAND, OR, NAND, NORのいずれかが設定可能である。

これを、さらに、8入力、16入力等々に拡張することは容易である。

このMVLCシステムの設定後の論理回路としての機能は明らかである。Fig.8に設定動作のタイムチャートを示す。この図はMVLCシステムを $Z = \overline{(X_1 + X_2)} + (X_3 \cdot X_4)$ を計算する論理回路に設定する例である。

5. まとめ

本論文では、メモリスタを用いて、可変論理回路システムを構築した。まずは、2入力の基本可変論理回路 (BVLC) を構築し、これを用いて、外部からの信号に

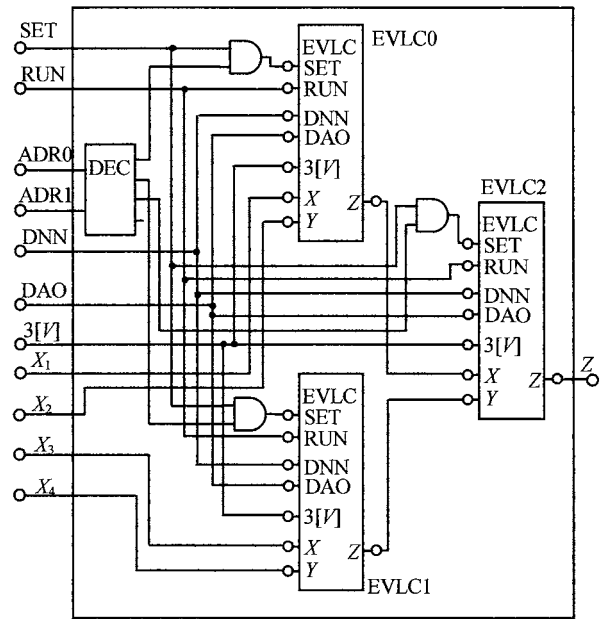


Fig.7 The Multi-Inputs Variable Logic Circuit System (MVLC System)

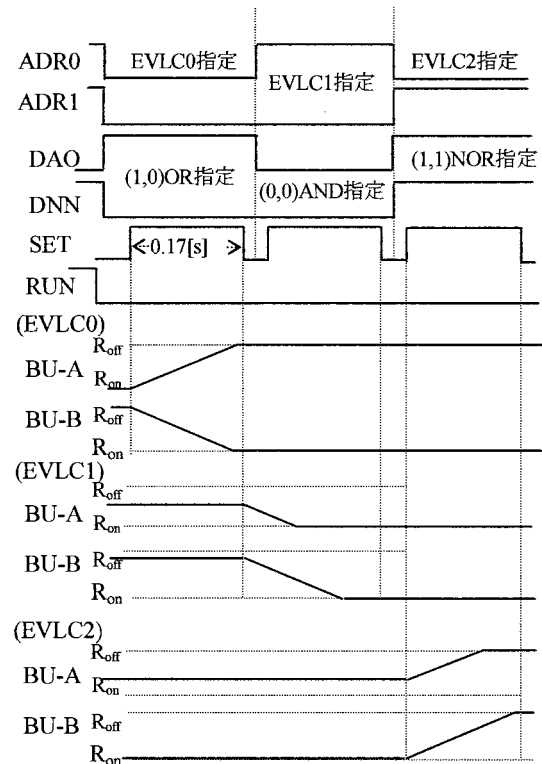


Fig.8 The Time Chart of Setting MVLC System

より(AND, OR, NAND, NOR)の機能を自由に設定できる、2入力の可変論理回路システム (EVLC) を構築した。そして最後に、EVLCを用いて、多入力可変論理回路システム (MVLC) を構築した。

MVLCは、外部信号の制御により、何種類もの論理回

路を設定でき、一度設定した論理回路の機能は、電源をOFFしても、次回電源ONすれば（再設定するまで）保持される、という性質を持つ。

可変論理回路は文献 2), 3) 等でも提案されているが、これらはすべて、

(従来特徴1) 常に各回路に対して、機能制御のための外部入力を与え続けなくてはならないこと、

(従来特徴2) したがって、大規模な論理回路では、外部信号（機能を指示するための信号）数が膨大になってしまうこと、

(従来特徴3) 電源を切るとそれまでの機能は消えてしまい、新たに使用する場合は、また所定の外部設定信号を入力し続ける必要があることが特徴としてあげられる。

それに比べて、ここで構築した可変論理回路は、(本システム特徴1) 機能を指定するには、外部から一回設定信号により機能を指定すれば、あとは機能指定信号による制御は不要であり、RUN信号をONにするのみで設定した論理回路として動作する、

(本システム特徴2) 今回設計したシステムのように、機能を指示するための外部信号数は一定であり、従来よりも少なくすむ、

(本システム特徴3) 電源を切っても、その時点の機能を保持し、次回同じ機能の論理回路が必要な場合は、電源を立ち上げRUN信号をONにするだけでよい、という優れた特徴がある。

今後の課題として

(課題1) ここで構築した方式(Fig.7のMVLCシステム)で、どの程度の種類の論理回路が設定可能か、その能力を解析すること

(課題2) Fig.7のシステムの配線を変更し

$Z=f_2(f_0(X_1, X_2), f_1(X_3, X_4))$ のみでなく例えば

$Z=f_2(f_1(f_0(X_1, X_2), X_3), X_4))$ 等を計算するようにも設定ができるようにする、というようなより柔軟な可変論理回路システムの構築について考察すること

(課題3) 教師信号（正しい（入力, 出力）の組）をいくつか与えて、正しくそれを計算する回路を自動的に設定できるような「学習」機能を持たせる方法について考察すること、

等があげられる。

謝 辞

本研究はJSPS科研費23500072基盤Cの助成を受けたものである。

参 考 文 献

- 1) L.O.Chua, Memristor—The Missing Circuit Element, IEEE Trans. Circuit Theory 18, No. 5, pp.507—519, 1971
- 2)江端 克彦, 倉谷 典子, 吉岡 信夫, 久津輪 敏郎, 可変論理回路における冗長関数の影響について, 電子情報通信学会論文誌 A Vol.J76-A No.4 pp.692-696, 1993
- 3)福原 雅朗, 鈴木 八十二, 吉田 正廣, ニューロンMOSトランジスタを用いた可変論理回路の提案, 電子情報通信学会論文誌 C Vol.J86-C No.2, pp.202-203, 2003
- 4) 大槻正伸, 渡辺秀行, 國分啓徳, メムリスタを接続して構成される回路の動作の解析について, 福島高専研究紀要第 50 号, pp.43—48, 2009
- 5) 大槻正伸, 國分啓徳, 渡辺秀行, メムリスタを含む電気回路の動作解析アルゴリズムの設計——RLCM 回路の解析——, 福島高専研究紀要第 51 号, pp.13—18, 2010
- 6) 大槻正伸, 一ノ瀬智浩, 西内拓也, メムリスタを用いた不揮発性メモリシステムの構成, 福島高専研究紀要第 52 号, pp.19—24, 2011
- 7) 大槻正伸, 一ノ瀬智浩, 西内拓也, メムリスタを用いた不揮発性多値メモリシステムの構成, 福島高専研究紀要第53号, pp.1—6, 2012
- 8) D.B.Strukov, G.S.Snider, D.R.Stewart, R.S.Williams, The missing memristor found, Nature Vol.453, pp.80—83, 2008
- 9) F.Y.Wang, Memristor for introductory physics, Cornell University Library arXiv0808.0286v1, 2008 (<http://arxiv.org/abs/0808.0286>)
- 10) R.S.Williams, How We Found the Missing Memristor, IEEE Spectrum, 2008 (<http://www.spectrum.ieee.org/print/7024>)
- 11) パナソニックプレスリリース <http://panasonic.co.jp/corp/news/official.data/data.dir/jn100624-3/jn100624-3.html>
- 12) メムリスタに関する国際シンポジウム動画 <http://www.youtube.com/watch?v=QFdDPzcZwbs>