

メモristaを用いた不揮発性メモリシステムの構成

Construction of a Nonvolatile Memory System with Memristors

大槻 正伸・一ノ瀬 智浩*・西内 拓也**

福島工業高等専門学校電気工学科

*東北大学工学部

**明治大学工学部

Masanobu Ohtsuki, Tomohiro Ichinose*, Takuya Nishiuchi**

Fukushima National College of Technology, Department of Electrical Engineering

*Tohoku University, Faculty of Engineering

**Meiji University, Faculty of Engineering

(2011年9月8日受理)

A memristor is said to be the 4-th fundamental passive circuit element which follows R (Resistor), L (Inductor), and C (Capacitor), and in 1971 it was pointed out by L.O.Chua that such elements should exist.

No one has known whether such elements really exist or not, until May 2008 scientists at Hewlett-Packard Laboratories published a paper in Nature announcing that a memristor really exists in nanometer-scale systems.

In this paper we propose a way how to construct the nonvolatile binary memory system with memristors.

Key words: memristor, nonvolatile memory, electrical circuits elements

1. はじめに

1.1 一般的なメモrista

「メモrista (memristor)」とは、「電流を流すことによりその抵抗値が変化し、電流を流すのをやめると、やめた時点での抵抗値を記憶しておく」という性質をもつ電気回路素子である¹⁾⁵⁾⁶⁾⁷⁾。

メモristaは Leon Chua がその存在を、 R 、 L 、 C に続く第4の電気回路の基本素子 M として1971年に予言したが¹⁾その後実際に存在するかどうかは分からなかったものである。

しかし2008年に、ヒューレットパッカード社の研究者 Stanley Williamsらが、ナノメートルスケールのシステムで実際にメモristaを構成し、それが現実に存在することを示した⁶⁾⁷⁾。また、パナソニック社の研究者らは、ヒューレットパッカード社とは全く異なるアプローチでメモristaを実現した⁸⁾。

現在ではメモristaを、高集積度不揮発性メモリ等の実現に応用する試み、メモristaをニューロンの擬似装置として用いて、機械学習に応用する試み等について研究されはじめている⁹⁾。

しかし企業秘密、特許等の関係もあり、不揮発性メモリの構成法等についてはほとんど公開されていない。

さて文献3)では、多数のメモristaを任意に接続して構成される2端子の回路全体について、文献4)ではそれをさらに一般化し、4つの基本的な回路素子 (R (抵抗)、 L (コイル)、 C (コンデンサ)、 M (メモrista)) が任意に接続されて構成される2端子の回路全体について、任意の電圧 $v(t)$ を加えたとき、回路に流れる電流 $i(t)$ を計算しグラフとして表示するコンピュータプログラムの構築がなされている。

文献2)では、メモristaを用いた、2値および多値の不揮発性メモリを構成するのに必要な書き込み、読み込み動作のための周辺電子回路が設計され、さらにその動作確認をするシミュレーションプログラムも作成されている。

本論文では、文献2)の方法を洗練し、2値のメモリシステム、すなわちコンピュータ基板等に搭載できるようなメモリ装置の構成法を提案する。

以下、まず一般的なメモristaについて説明す

る。メモリスタを特徴づけるのは次の方程式である。

$$\begin{cases} v(t) = R(w, i(t))i(t) & \text{————— (1)} \\ dw/dt = f(w, i(t)) & \text{————— (2)} \end{cases}$$

ここで $v(t)$ はメモリスタにかかる電圧、 $i(t)$ はそれに流れる電流である。また w は、メモリスタの内部状態を示すベクトルで、

$$w = w(t) = [w_1(t), w_2(t), \dots, w_n(t)]^T \text{ である。}$$

(1)、(2)式は一般的なメモリスタ（メモリスティブシステム）を表現したものであり、後ほど具体的に分かりやすいモデルを見ることとする。本論文で扱うメモリスタは、上記の一般的なものではなく、後に示す分かりやすいモデルのみとする。

さて、(1)、(2)式が述べることは、「メモリスタは、内部状態ベクトル w があり、その内部状態と電流により時刻 t の瞬間の抵抗値が決まる ((1)式)。そして内部状態の変化の様子は、内部状態と電流の関数 f による微分方程式で表現される ((2)式)」ということである。

メモリスタの大きな特徴は「それまで素子を通らせた電流により抵抗値が変化すること」そして「電圧を加えるのを停止した後もその抵抗値を記憶していること」である。

一般的にミクロの世界の材料（ナノメートルスケールの材料）の論文で、奇妙な電氣的なふるまいをするものがいくつも報告されているが、その多くは、上記の一般的なメモリスタの方程式で説明されると考えられている⁵⁾。

1.2 本論文で扱うメモリスタ

今回本論文で扱うメモリスタは、次に説明する分かりやすいモデルのものとする。

これは「Coupled variable-resistor model」とよばれヒューレットパッカード社の開発したメモリスタの数学モデルである⁵⁾。

まずこのモデルでは、メモリスタは低抵抗の *Doped 領域 (Doped Domain)* と高抵抗の *Undoped 領域 (Undoped Domain)* の2つの領域からなる、

長さ D (一定) の素子であり、状態変数は *Doped 領域* の長さ $w(t)$ のみである。*Doped 領域* の長さ D あたりの抵抗値は R_{on} 、*Undoped 領域* の D あたりの抵抗値は R_{off} であり、このメモリスタはこれらが直列に接続された構造をもつ ($R_{on} \ll R_{off}$)。状態変数、すなわち *Doped 領域* の長さ $w(t)$ は時間とともに変化する。

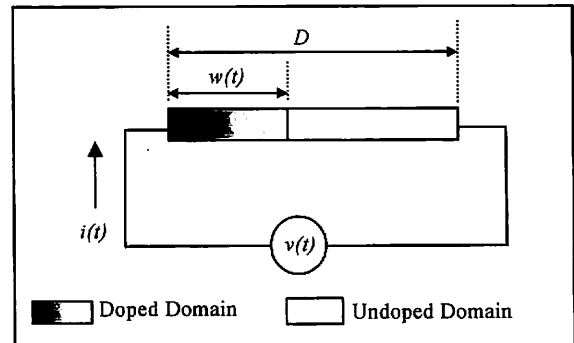


Fig.1 The coupled variable-resistor model

この素子の方程式は下記のとおりである。

$$\begin{cases} v(t) = \left\{ \frac{w(t)}{D} R_{on} + \frac{D-w(t)}{D} R_{off} \right\} i(t) & \text{————— (3)} \\ \frac{dw(t)}{dt} = \mu_v \frac{R_{on}}{D} i(t) & \text{————— (4)} \end{cases}$$

ここで μ_v は、電子の移動度であり材料特有の定数となる。

(3)、(4)式は(1)、(2)式の特別な場合であり、*Doped 領域* の長さ $w(t)$ が状態であり、この状態 $w(t)$ により、メモリスタ全体の抵抗値が決まる ((3)式)。また *Doped 領域* は電流値 $i(t)$ によりその「成長する速度」が決まる ((4)式)。

このような素子は、電流が正方向 (Fig.1 で左から右に流れる方向) に流れれば、(4)式より *Doped 領域* が大きくなり全体の抵抗は小さくなるし、また逆方向に電流が流れると $w(t)$ が小さくなるから素子全体の抵抗値は高くなる。

なお、 $w(t)$ は、 $0 \leq w(t) \leq D$ の間で変化し、 $w(t) = D$ (あるいは 0) になってもそれまでと同じ方向に電流が流れた場合、 $w(t)$ は D (あるいは 0) のまま一定となる。すなわち、 $w(t)$ が「飽和」したら、メモリスタの抵抗値は (飽和させた電流方向に電流が流れていれば) 変化せず、ふつうの抵抗と同じ働き

をする。

この素子は、例えば抵抗値が（ある閾値よりも）大きい状態を“1”、小さい状態を“0”と対応づければ、不揮発性のメモリが構成できる。またメモリスタの抵抗値は連続的に変化するため、2値に限定せず多値を記憶するメモリの構成も可能である。

実際に Williams らが開発したメモリスタの幅は10[nm]程度ということである⁵⁾から、高集積な不揮発性メモリ実現の可能性が期待されている。

さて、実際に文献5)では、 $R_{off}/R_{on}=160$ 、 $\mu\nu=10^{-10}[\text{cm}^2/\text{sV}]$ と報告されており、またメモリスタ1個の動作解析例が紹介されている。

本論文では、以降単に「メモリスタ」といえば一般的な(1)、(2)式ではなく、(3)、(4)式にしたがう、具体的な「Coupled variable-resistor model」であるものとして議論を進める。

本論文では、メモリスタを用いて“0”、“1”の2値データを多数記憶する不揮発性メモリシステムの構成法について考察する。

2. メモリスタの抵抗変化と時間の解析

ここでは方程式(3)、(4)式を簡潔な形式に変形し、状態 $w(t)$ の変化にかかる時間について解析する。この解析結果は、次節以降の不揮発性メモリシステムの構成で用いる。

$$v(t) = (aw(t) + b)i(t) \quad \text{--- (5)}$$

$$\frac{dw}{dt} = ci(t) \quad \text{--- (6)}$$

ここで、 $a = \frac{R_{on} - R_{off}}{D}$ (< 0)、 $b = R_{off}$ 、 $c = \mu\nu \frac{R_{on}}{D}$

である。

以下で、一定電圧 v_c を加えることにより $w(t)$ を w_0 から w_1 に変化させるのに必要な時間について解析する ($0 \leq w_0 \leq D$, $0 \leq w_1 \leq D$)。

$$(6) \text{より } i(t) = \frac{1}{c} \frac{dw}{dt}$$

これを(5)に代入し、また $v(t) = v_c$ (一定) であるから、

$$v_c = \frac{1}{c} (aw(t) + b) \frac{dw}{dt} \quad \text{--- (7)}$$

両辺に $2a$ をかけて

$$2av_c = \frac{2a}{c} (aw(t) + b) \frac{dw}{dt} \quad \text{--- (8)}$$

$$2av_c = \frac{1}{c} \frac{d}{dt} \{(aw(t) + b)\}^2 \quad \text{--- (9)}$$

(9)を t_0 から t_1 で積分すると、

$$\int_{t_0}^{t_1} 2av_c dt = \int_{t_0}^{t_1} \frac{1}{c} \frac{d}{dt} \{(aw(t) + b)\}^2 dt \quad \text{--- (10)}$$

すなわち、

$$2av_c(t_1 - t_0) = \frac{1}{c} \{(aw(t_1) + b)\}^2 - \{(aw(t_0) + b)\}^2 \quad \text{--- (11)}$$

$t=t_0$ で状態 $w(t_0)=w_0$ であったのが、 $t=t_1$ で状態が $w(t_1)=w_1$ に移るものとする、

$$(t_1 - t_0) = \frac{1}{2av_c} \{(aw_1 + b)\}^2 - \{(aw_0 + b)\}^2 \quad \text{--- (12)}$$

これにより、状態を w_0 から w_1 に移すための時間が求まった。

例えば $w_0=0$ から $w_1=D$ に移すための時間 T_F は

$$T_F = \frac{1}{2av_c} \{(aD + b)\}^2 - b^2 = \frac{(R_{on} + R_{off})D^2}{2\mu\nu R_{on} v_c}$$

これは、 $w_0=D$ から $w_1=0$ に移すための時間に等しくなる((12)式で w_0 と w_1 が入れかわり v_c が負になる)。メモリスタを、 $v_c=5[\text{V}]$ の論理回路に組み込むとする。文献5)で紹介されているメモリスタの定数を代入すると、おおよそこの T_F は、 $T_F \approx 0.13[\text{s}]$ 程度となる。実用的なメモリにするには $R_{off}/R_{on}=10$ 程度に改良して、 $T_F \approx 10[\text{ms}]$ 程度とする必要があると考えられる。

3. メモリスタを用いた2値メモリシステムの構成

3.1 基本ユニットの構成

まず、メモリスタ1個をもとに基本ユニット(Basic Unit: BU)を構成する(Fig.2)。

BU内のメモリスタがDoped領域で飽和した状態(全体の抵抗値は低抵抗値 R_{on} になる状態)を“0”、Undoped領域で飽和した状態(全体の抵抗値は高抵抗値 R_{off})を“1”に対応させることにより、BUを1[bit]の不揮発性の記憶素子として用いることができる。

BUは「Switch Control (SwC)」信号により、内

部のスイッチSW1とSW4が連動し、またSW2とSW3が連動して動くようにする。すなわち、SwC信号が“0”のときはSW1、SW4が閉じ、SW2、SW3が開放されるように制御され、SwC信号が“1”のときはSW2、SW3が閉じ、SW1、SW4が開放となるようにする (Fig.2下)。

こうすると、スイッチ制御信号が“0”のときは正方向 (メモリスタの記憶を“0”にする方向) に、スイッチ制御信号が“1”のときは逆方向 (メモリスタの記憶を“1”にする方向) に電流を制御するユニットが構成される。

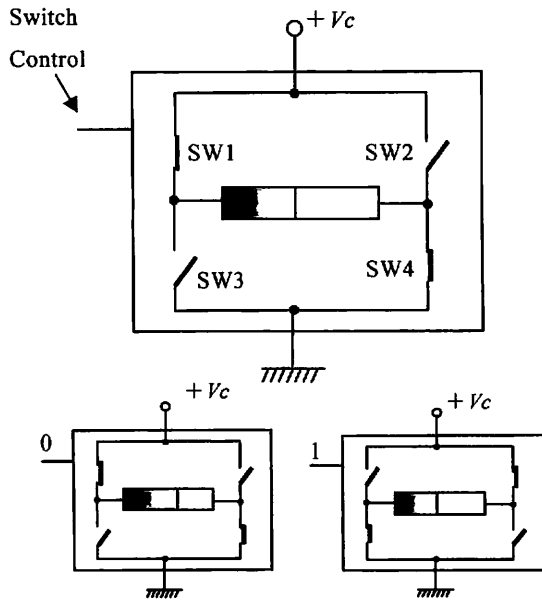


Fig.2 The Basic Unit (BU)

3.2 制御ユニットと基本メモリユニットの構成

次に、BUとBUを制御する制御ユニット (Control Unit : CU)、計測ユニット (Measure Unit : MU) を用いてFig.3のように「基本メモリユニット (Basic Memory Unit : BMU)」を構成する。BMU内の R_0 は抵抗である。

ここでCUは、記憶させるべき入力信号 D_i (“0”または“1”)とWE (書き込み信号) により、接続してあるBU内のメモリスタの内容を正しく状態変化させてデータの書き込みを行う。またCUは読み出し信号 (RD) により、MUで計測されたBUのメモリスタの状態 (現在何が記憶されているか) を読みだし、 D_o に出力する。

セレクト信号 (Select) により、CUとBU、MUを接続、切断できる機構をつけて、基本メモリユニット (Basic Memory Unit : BMU) を構成する (Fig.3)

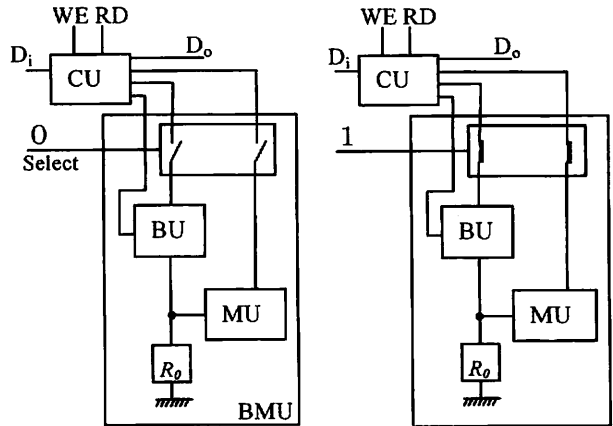


Fig.3 The Control Unit (CU) and the Basic Memory Unit (BMU)

CU、MUについての詳細設計を次に示す。

ここでMUは単にコンパレータ (Comp) とする。すなわち、MUは比較する閾値電圧 V_{TH} より大きな電圧 V が入力されるとき“0”を、そうでなければ“1”を出力するデバイスである (Fig.4)。BU内のメモリスタが“1”の時は高抵抗で電圧降下が大きく、MUの入力 V が小さくなり、メモリスタが“0”のときはMUの入力 V が大きくなる。この原理から現在メモリスタが記憶している内容を判断できるような値に V_{TH} を設定する。

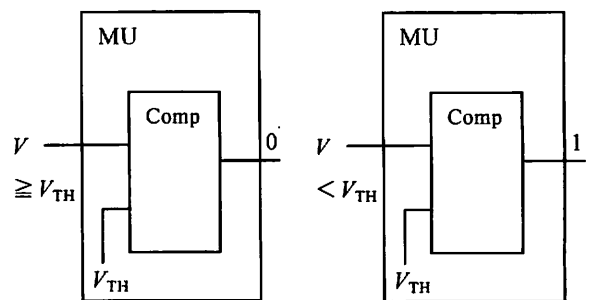


Fig.4 Construction of MU

例えば、 V_{TH} は $w(t) = \frac{D}{2}$ のときのMUへの入力電圧 V

$$\text{とすればよい。すなわち例えば } V_{TH} = \frac{2R_0V_c}{R_{on} + R_{off} + 2R_0}$$

とすればよい。

通常のメモリと同様、指定されたアドレスに指定されたデータをWE信号により書き込み、また指定されたアドレスのデータをRD信号により読みだす。

3.1~3.2節で構成した各ユニットの機能から、Fig.8のようにメモリシステムが構成できるのは明らかである。このメモリシステムは記憶素子としてメモリスタを用いているため、電源から切り離せばその時点での状態を保持するから不揮発性メモリとなる。

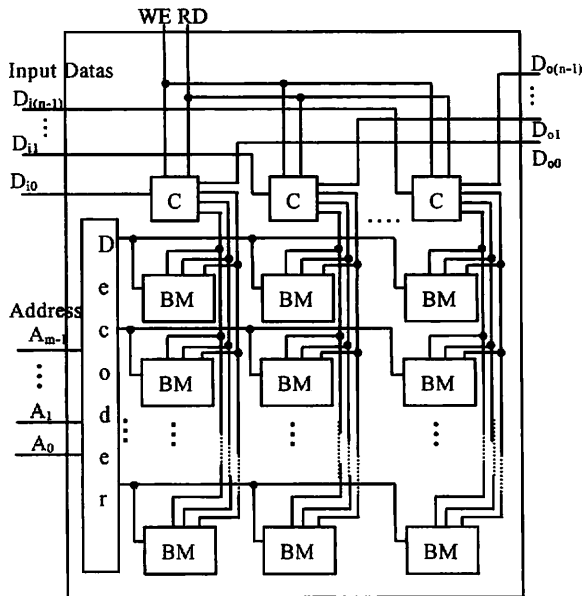


Fig.8 Construction of a Memory System (C:CU, BM:BMU)

4. 結言および今後の課題

本論文では、メモリスタを用いた不揮発性のメモリシステムの構成法を提案した。

メモリスタの抵抗値、状態 $w(t)$ （低抵抗領域の長さ）は連続的に変化するから、抵抗値、あるいは $w(t)$ そのものをいくつかの区切り、例えば、 $0 \leq w(t) \leq w_1$ の状態を“0”、 $w_1 < w(t) \leq w_2$ の状態を“1”、 $w_2 < w(t) \leq w_3$ の状態を“2”等と対応付けることにより、1つのメモリスタで多値データ1つを記憶することができる。

このようにしてメモリスタを用いた多値データを記憶する不揮発性メモリの構成法を与えること

が今後の課題の一つとなるが、周辺デバイスの構造は、本論文の2値の場合よりもはるかに複雑になることが予想される。

また、今回提案したシステムよりも簡潔な2値のメモリシステムの新しい構成法を考察することも今後の課題としてあげられる。

文献

- 1) L.O.Chua, Memristor—the missing circuit element, IEEE Trans. Circuit Theory 18, No. 5, pp.507–519, 1971
- 2) 一之瀬智弘, 西内 拓也, メムリスタを用いたメモリの構成とシミュレーションプログラムの作成, 平成 22 年度福島高専電気工学科卒業研究論文, 2011
- 3) 大槻正伸, 渡辺秀行, 國分啓徳, メムリスタを接続して構成される回路の動作の解析について, 福島高専研究紀要第 50 号, pp.43–48, 2009
- 4) 大槻正伸, 國分啓徳, 渡辺秀行, メムリスタを含む電気回路の動作解析アルゴリズムの設計——RLCM 回路の解析——, 福島高専研究紀要第 51 号, pp.13–18, 2010
- 5) D.B.Strukov, G.S.Snider, D.R.Stewart, R.S.Williams, The missing memristor found, Nature Vol.453, pp.80–83, 2008
- 6) F.Y.Wang, Memristor for introductory physics, Cornell University Library arXiv0808.0286v1, 2008 (<http://arxiv.org/abs/0808.0286>)
- 7) R.S.Williams, How We Found the Missing Memristor, IEEE Spectrum, 2008 (<http://www.spectrum.ieee.org/print/7024>)
- 8) パナソニックプレスリリース <http://panasonic.co.jp/corp/news/official.data/data.dir/jn100624-3/jn100624-3.html>
- 9) メムリスタに関する国際シンポジウム動画 <http://www.youtube.com/watch?v=QFdDPzcZwbs>